

Docket No. 216111US2X/btm

#4/8-12-02
Dade

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji FUKUDA, et al.

GAU:

SERIAL NO: 09/987,271

EXAMINER:

FILED: November 14, 2001

FOR: SiC SEMICONDUCTOR DEVICE



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

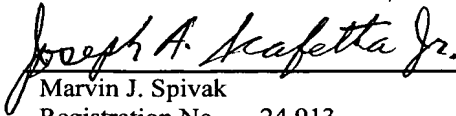
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-346455	November 14, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

09/987,271

646005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月14日

出 願 番 号

Application Number:

特願2000-346455

出 願 人
Applicant(s):

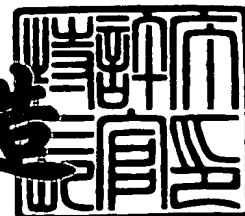
経済産業省産業技術総合研究所長
科学技術振興事業団



2001年 9月21日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3087608

【書類名】 特許願

【整理番号】 10744450

【提出日】 平成12年11月14日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/12

【発明者】

【住所又は居所】 茨城県つくば市梅園1丁目1番4 工業技術院電子技術
総合研究所内

【氏名】 福田 憲司

【発明者】

【住所又は居所】 茨城県つくば市梅園1丁目1番4 工業技術院電子技術
総合研究所内

【氏名】 荒井 和雄

【発明者】

【住所又は居所】 茨城県つくば市梅園1丁目1番4 工業技術院電子技術
総合研究所内

【氏名】 先崎 純寿

【発明者】

【住所又は居所】 茨城県つくば市梅園1丁目1番4 工業技術院電子技術
総合研究所内

【氏名】 原田 信介

【発明者】

【住所又は居所】 茨城県つくば市梅園1丁目1番4 工業技術院電子技術
総合研究所内

【氏名】 小杉 亮治

【発明者】

【住所又は居所】 英国 エヌイー1 7アールユー ニューキャッスル
アポン タイン ケンジントン テラス 6 ニューキ
ャッスル アポン タイン大学内

【氏名】 安達 和広

【特許出願人】

【識別番号】 000001144

【氏名又は名称】 工業技術院長 梶村 皓二

【特許出願人】

【識別番号】 396020800

【氏名又は名称】 科学技術振興事業団

【指定代理人】

【識別番号】 220000356

【氏名又は名称】 工業技術院電子技術総合研究所長 児玉 皓雄

【代理関係の特記事項】 特許出願人 工業技術院長の指定代理人

【代理人】

【識別番号】 100082669

【弁理士】

【氏名又は名称】 福田 賢三

【代理関係の特記事項】 特許出願人 科学技術振興事業団の代理人

【復代理人】

【識別番号】 100082669

【弁理士】

【氏名又は名称】 福田 賢三

【代理関係の特記事項】 特許出願人 工業技術院長の復代理人

【選任した代理人】

【識別番号】 100095337

【弁理士】

【氏名又は名称】 福田 伸一

【代理関係の特記事項】 特許出願人 科学技術振興事業団の代理人

【選任した代理人】

【識別番号】 100061642

【弁理士】

【氏名又は名称】 福田 武通

【代理関係の特記事項】 特許出願人 科学技術振興事業団の代理人

【選任した復代理人】

【識別番号】 100095337

【弁理士】

【氏名又は名称】 福田 伸一

【代理関係の特記事項】 特許出願人 工業技術院長の復代理人

【選任した復代理人】

【識別番号】 100061642

【弁理士】

【氏名又は名称】 福田 武通

【代理関係の特記事項】 特許出願人 工業技術院長の復代理人

【手数料の表示】

【予納台帳番号】 086277

【納付金額】 2,100円

【その他】 国以外のすべての者の持分の割合 10 / 100

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 P 型の炭化珪素からなる領域が形成された半導体基板と、該 P 型領域上にゲート絶縁膜が形成された構成と、P 型の特性を示すゲート電極が該ゲート絶縁膜上に形成された構成と、該ゲート絶縁膜の下の半導体層に埋め込みチャネル領域を形成するのに十分な不純物濃度の N 型不純物領域が形成された構成と、上記のゲート絶縁膜とゲート電極に隣接してトランジスタを構成するソースとドレイン領域が N 型不純物領域からなる構成とを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、ゲート絶縁膜と炭化珪素との界面からの埋め込みチャネル領域の接合深さ (L_{bc}) と、ゲート絶縁膜と炭化珪素との界面からの上記のソースとドレイン領域の接合部の深さ (X_j) との比 ($L_{bc} \div X_j$) が 0.2 以上、1.0 以下の範囲にあることを特徴とする半導体装置。

【請求項 3】 請求項 1 あるいは請求項 2 に記載の半導体装置において、ゲート電極は、ボロンあるいはアルミニウムが拡散され、その不純物濃度が $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ の範囲にある多結晶シリコンであることを特徴とする半導体装置。

【請求項 4】 請求項 1 あるいは請求項 2 に記載の半導体装置において、埋め込みチャネル領域は、窒素あるいは燐あるいは砒素が拡散され、その最大不純物濃度が $5 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ であることを特徴とする半導体装置。

【請求項 5】 請求項 1、2、3 あるいは 4 に記載の半導体装置において、上記のゲート電極は、高融点金属のシリサイド層を含むことを特徴とする半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、高融点金属のシリサイド層はタングステンあるいはモリブデンあるいはチタンのシリサイド層であることを特徴とする半導体装置。

【請求項 7】 請求項 1、2、3、4、5、あるいは 6 に記載の半導体装置において、埋め込みチャネル領域の形成される領域と、ソース領域あるいはドレイ

ン領域との間に、埋め込みチャネル領域を形成するための不純物拡散層領域の最大不純物濃度以上でソース領域あるいはドレイン領域の不純物濃度以下の不純物濃度をもつ領域、を有することを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の半導体装置において、埋め込みチャネル領域の形成される領域とソース領域あるいはドレイン領域との間に、最大不純物濃度が $5 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{19} \text{cm}^{-3}$ の窒素、磷あるいは砒素の拡散層を含むことを特徴とする半導体装置。

【請求項 9】 請求項 1、2、3、4、5、6、7、あるいは 8 に記載の半導体装置において、埋め込みチャネル領域の形成される領域に隣接する直下に上記の半導体基板の不純物濃度よりも高い P 型の不純物拡散領域があることを特徴とする半導体装置。

【請求項 10】 請求項 9 に記載の半導体装置において、埋め込みチャネル領域の形成される領域に隣接する直下の高濃度 P 型不純物拡散領域の最大不純物濃度が $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$ のアルミニウムあるいはボロンの拡散層を含むことを特徴とする半導体装置。

【請求項 11】 請求項 1、2、3、4、5、6、7、8、9、あるいは 10 に記載の半導体装置が、六方晶あるいは菱面体晶炭化珪素単結晶の (1,1,-2,0) 面の上に形成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、炭化珪素基板上に作製した、金属-絶縁膜-半導体 (MIS) 電界効果型トランジスタである半導体装置に関し、特に、基板の結晶面方位を規定し、不純物拡散層を最適化した半導体装置に関する。

【0002】

【従来の技術】

埋め込みチャネル領域を有する MIS 電界効果型トランジスタについては、既にいくつかの発明が開示されている。

【0003】

例えば、アメリカ合衆国特許（U S A . P A T . N o . US5864157号公報）に、2重ゲートを有するフラッシュメモリーの下側のゲートにP型電極を用い、埋め込みチャンネル領域にN型不純物を用いた構造が記載されている。しかし、この記載は、2重ゲートを有するフラッシュメモリーについてであり、本発明とは構造が異なる。また、P型ポリシリコン電極の濃度と埋め込みチャンネル領域の不純物濃度及びソース領域あるいはドレイン領域の深さとチャンネル領域の深さの関係については記載されていない。

【0004】

また、日本国特許（特開平8-186179号公報）には、LDD構造を有するNチャンネルトランジスタにおいて、ゲート電極にP型電極を用い、埋め込みチャンネル領域にN型不純物を用いた構造が記載されている。しかし、この公報においては、P型ポリシリコン電極の不純物濃度及びソース領域あるいはドレイン領域の深さとチャンネル領域の深さの関係については記載されていない。

【0005】

また、日本国特許（特開平7-131016号公報）には、トランジスタのチャンネル形成面が六方晶炭化珪素単結晶基板の（1,1,-2,0）面に対して平行であることを特徴とするMIS電界効果トランジスタ構造が記載されている。しかし、この公報においては、ゲート電極にP型電極を用いた埋め込みチャンネル領域型のMIS電界効果型トランジスタについては記載されていない。

【0006】

【発明が解決しようとする課題】

一般に、炭化珪素基板を用いた酸化膜-炭化珪素界面は、界面準位密度がシリコンMISトランジスタに比べて、約一桁高く、それにより、炭化珪素基板を用いたMIS電界効果型トランジスタは、シリコン基板をもちいたMIS電界効果型トランジスタよりもチャンネル移動度が約1桁低いという問題があった。シリコンMISトランジスタの場合は、電子がソースからドレインに流れるときに、上記の酸化膜と炭化珪素との界面の影響を受けにくくするため、埋め込みチャンネル領域型のMIS電界効果型トランジスタが優れていることが知られている。しかし、炭化珪素基板上のシリコンMISトランジスタを埋め込みチャンネル領域型にする場合

の構造は最適化されておらず、ノーマリーオン（ゲート電圧がゼロでもソースとドレイン間に電流が流れる現象）になりやすい。また、最適化が図られていない場合には、ホットキャリア耐性が悪く、十分なパンチスルー耐性も得られない。

【0007】

この発明は上記に鑑み提案されたもので、炭化珪素基板を用いた半導体装置において、埋め込みチャンネル領域型MISトランジスタの構造や炭化珪素基板の面方位を最適化することによりノーマリーオンにならず、しかも高いホットキャリア耐性や、高パンスルー耐性、あるいは、高チャンネル移動度を有する埋め込みチャンネル領域型のトランジスタである半導体装置を提供することを目的としている。

【0008】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の発明は、デバイス構造に関係しており、P型の炭化珪素からなる領域が形成された半導体基板と、該P型領域上にゲート絶縁膜が形成された構成と、P型の特性を示すゲート電極が該ゲート絶縁膜上に形成された構成と、該ゲート絶縁膜の下の半導体層に埋め込みチャンネル領域を形成するのに十分な不純物濃度のN型不純物領域が形成された構成と、上記のゲート絶縁膜とゲート電極に隣接してトランジスタを構成するソースとドレイン領域がN型不純物領域からなる構成とを有することを特徴としている。

【0009】

請求項2に記載の発明はまたデバイス構造に関係しており、埋め込みチャンネル領域の形成される深さを最適化して高い移動度が得られるようにするために、請求項1に記載の発明に加えて、ゲート絶縁膜と炭化珪素との界面からの埋め込みチャンネル領域の接合深さ (L_{bc}) と、ゲート絶縁膜と炭化珪素との界面からの上記のソースとドレイン領域の接合部の深さ (X_j) との比 ($L_{bc} \div X_j$) が0.2以上、1.0以下の範囲にあることを特徴としている。

【0010】

請求項3に記載の発明は、ゲート電極に関するものであり、請求項1あるいは請求項2に記載の発明に加えて、ゲート電極は、ボロンあるいはアルミニウムが

拡散され、その不純物濃度が $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ の範囲にある多結晶シリコンであることを特徴としている。

【0011】

請求項4に記載の発明は、埋め込みチャネル領域に関するものであり、請求項1あるいは請求項2に記載の発明に加えて、埋め込みチャネル領域は、窒素あるいはリンあるいは砒素が拡散され、その最大不純物濃度が $5 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{18} \text{cm}^{-3}$ であることを特徴としている。

【0012】

請求項5に記載の発明は、ゲート電極の低抵抗化に関するものであり、請求項1乃至4に記載の発明に加えて、上記のゲート電極は、高融点金属のシリサイド層を含むことを特徴としている。

【0013】

請求項6に記載の発明は、請求項5に記載の高融点金属のシリサイド層に関するものであり、請求項5に記載の発明に加えて、高融点金属のシリサイド層はタングステンあるいはモリブデンあるいはチタンのシリサイド層であることを特徴とする半導体装置。

【0014】

請求項7に記載の発明は、ホットキャリア耐性を向上させる技術に関するものであり、請求項1ないし6に記載の発明に加えて、埋め込みチャネル領域の形成される領域と、ソース領域あるいはドレイン領域との間に埋め込みチャネル領域を形成するための不純物拡散層領域の最大不純物濃度以上でソース領域あるいはドレイン領域の不純物濃度以下の不純物濃度をもつ領域を有することを特徴としている。

【0015】

請求項8に記載の発明は、ホットキャリア耐性を向上させる技術に関するものであり、請求項7に記載の発明に加えて、埋め込みチャネル領域の形成される領域とソース領域あるいはドレイン領域との間に、最大不純物濃度が $5 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{19} \text{cm}^{-3}$ の窒素、リンあるいは砒素の拡散層を含むことを特徴としている。

【 0 0 1 6 】

請求項9に記載の発明は、パンチスルー耐性の向上に関するものであり、請求項1乃至8に記載の発明に加えて、埋め込みチャンネル領域の形成される領域に隣接する直下に上記の半導体基板の不純物濃度よりも高いP型の不純物拡散領域があることを特徴としている。

【 0 0 1 7 】

請求項10に記載の発明は、請求項9に記載の発明に加えて、埋め込みチャンネル領域の形成される領域に隣接する直下の高濃度P型不純物拡散領域の最大不純物濃度が $1 \times 10^{17} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$ のアルミニウムあるいはボロンの拡散層を含むことを特徴としている。

【 0 0 1 8 】

請求項11に記載の発明は、チャンネル移動度の向上に関するものであり、請求項1乃至10に記載の半導体装置が、六方晶あるいは菱面体晶炭化珪素の(1,1,-2,0)面の上に形成されたことを特徴としている。

【 0 0 1 9 】

【発明の実施の形態】

以下にこの発明の実施の形態を図を用いて詳細に説明する。まず、実施例1として請求項7、8及び11以外に記載されている半導体装置の具体的な製造プロセスを図1(a)から図1(c)を用いて説明する。その後、請求項7、8及び11以外に記載されている効果について説明する。次いで、実施例2として請求項7、8に記載されている半導体装置の具体的な製造プロセスを図1(a)から図1(d)を用いて説明する。その後に請求項7、8に記載されている効果について説明する。最後に、実施例3として、請求項11に記載されている面方位の効果について、(0,0,0,1)面と(1,1,-2,0)面上にMIS電界効果型トランジスタのチャンネル移動度を比較した結果について説明する。

【 0 0 2 0 】

【実施例】

[実施例1]

図1(a)のP型炭化珪素基板1(4H-SiC、不純物濃度： $5 \times 10^{15} \text{cm}^{-3}$)を通常

のRCA洗浄をした後に、P型炭化珪素基板1にフォトリソグラフィー用のアライメントマークをRIE (Reactive ion etching) で形成した。次いで、いくつかの試料はパンチスルー耐性の向上に対する効果を調べるために、埋め込みチャンネル領域の直下に相当する深さに、アルミニウムをイオン注入することにより、P型炭化珪素基板1よりも高濃度の $1 \times 10^{16} \text{cm}^{-3} \sim 1 \times 10^{19} \text{cm}^{-3}$ になるパンチスルー防止領域3を形成した。

【0021】

次いで、埋め込みチャンネル領域2を形成するが、これには窒素、リン、砒素などのN型不純物のイオン注入を行い形成する。例えば、リンで接合深さ(L_{bc}) $0.3 \mu\text{m}$ の埋め込みチャンネル領域を形成する場合は、 $40 \text{keV} \sim 250 \text{keV}$ で総ドーズ量が $7 \times 10^{15} \text{cm}^{-2}$ となるように多段注入し、所望のプロファイルを形成する。本実施例では、図1(b)に示すソース5、ドレイン6の深さ(X_j)と L_{bc} の比とチャンネル移動度の関係を調べるために、 $L_{bc} = 0.1, 0.2, 0.3, 0.4, 0.5 \mu\text{m}$ の深さの埋め込みチャンネル領域2を形成した。チャンネル移動度に対する埋め込みチャンネル領域2の濃度依存性を調べるために、 $L_{bc} = 0.3 \mu\text{m}$ において、 $5 \times 10^{15} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ のイオン注入をした試料を作製した。

【0022】

次いで、図1(b)に示すようにソース領域あるいはドレイン領域のイオン注入用マスク4を熱酸化膜やCVD (Chemical Vapor Deposition) による SiO_2 膜で形成する。本実施例では、図1(b)に示すようにイオン注入マスクとして、LT0 (Low temperature oxide) 膜を用いた。LT0膜は、シランと酸素を $400^\circ\text{C} \sim 800^\circ\text{C}$ で反応させて二酸化珪素をP型炭化珪素基板1に堆積することにより形成した。次いで、フォトリソグラフィーでソース・ドレイン領域を形成した後に、HF (フッ酸) でLT0をエッチングしてイオン注入されるソース領域あるいはドレイン領域を開口した。次いで、図1(b)に示したソース5あるいはドレイン6を形成するために 500°C で、窒素、リンあるいは砒素を深さ(X_j) $0.5 \mu\text{m}$ になるようにイオン注入する。本実施例では、埋め込みチャンネル領域2の形成と同じように多段注入により、リンを用いて不純物濃度が $5 \times 10^{19} \text{cm}^{-3}$ になるように形成した。その後、アルゴン雰囲気中で 1500°C で30分間にわたる活性化アニールを行った。次い

で、図 1 (c) に示すように1200℃で150分間酸化して、約50nmのゲート絶縁膜 7 を形成した。次いで、アルゴン中で30分間アニールした後に室温までアルゴン中で冷却した。

【 0 0 2 3 】

その後にP型ゲート電極 8 を形成するが、その方法としては、次のようにいくつかの方法が知られている。

- 1) CVD法で多結晶ポリシリコンを形成した後に、ボロンやフッ化ボロンをイオン注入することによりP型多結晶シリコンを形成する。
- 2) CVD法で多結晶ポリシリコンを形成した後に、ボロンを含んだ SiO_2 膜をCVD法やスピン塗布により形成し、800℃～1100℃で熱処理して拡散することにより、P型多結晶シリコンを形成する。
- 3) シランとジボランを一緒に流して600℃で熱処理することにより多結晶シリコンをボロンを拡散しながら成長させてP型多結晶シリコンを形成する。

以上の方法などがあるが、本実施例では、2) の方法を用いて、900℃で拡散時間を変えることにより不純物濃度 $1 \times 10^{15} \text{cm}^{-3} \sim 1 \times 10^{21} \text{cm}^{-3}$ のP型多結晶シリコンを形成して、P型ゲート電極の不純物濃度とチャネル移動度の関係を調べた。いくつかの試料は、シリサイド膜の効果を調べるためにP型多結晶シリコン上に WSi_2 膜、 MoSi_2 膜及び TiSi_2 膜の高融点金属シリサイド膜 9 を形成した。次いで、P型多結晶シリコンあるいは、シリサイド膜とP型ポリシリコン膜の複合膜とゲート絶縁膜をエッチングすることによりゲート電極を形成した。引き続いて、ソース領域あるいはドレイン領域上の酸化膜をエッチングしてコンタクト孔を開口する。次いで、ニッケル、チタン、アルミニウムを含有した金属あるいはこれらの積層膜を蒸着あるいは、スパッタ法で形成した後に、RIEあるいは、ウェットエッチングにより金属配線 10 を形成する。本実施例ではニッケルを蒸着した後にウェットエッチングした。次いで、良好なオーミックコンタクトを形成するために1000℃のアルゴン中で5分間の熱処理を行い、MIS電界効果型トランジスタを完成させた。

【 0 0 2 4 】

図 2 にゲート電極がP型多結晶シリコン、N型多結晶シリコン、アルミニウムを

用いたMIS電界効果型トランジスタの閾値電圧とチャネル移動度の測定によって得られた関係を示す。ゲート電極にP型多結晶シリコンを用いることにより同じ閾値電圧と比較するとP型多結晶シリコンを用いた場合には、N型多結晶シリコン、アルミニウムをゲート電極に用いた場合よりもチャネル移動度が大きくなる。これは、ゲート電極の極性により、同じ閾値にする場合に必要な、チャンネル部へのイオン注入量の違いによるものであり、以下のように考えられる。N型不純物を埋め込みチャンネル領域2に注入するとゲート絶縁膜とP型炭化珪素基板1との界面からはなれた深い位置にチャネルの中心が形成されるので、界面近傍の高電界の影響を受けにくくなるキャリアの数が増えるのでチャネル移動度が増加する。同様に、チャンネル領域に注入するP型不純物濃度が小さければ、移動度が増加する。しかし、チャネル移動度を増加しようとして、埋め込みチャンネル領域2のN型不純物を増加すると、閾値電圧が低下して負電圧になってしまい、電圧がゼロでも電流が流れる状態、つまり、ノーマリーオンの状態になってしまうので実際の使用は困難になる。一般に、MIS電界効果型トランジスタの閾値電圧は、ゲート電極と半導体の仕事関数差が大きいほど、閾値電圧は大きくなることが知られている。また、ゲート電極と半導体の仕事関数差は、ゲート電極にアルミニウムとN型多結晶シリコンを用いた場合は、ほとんど変わらないが、P型ポリシリコンを用いると、それに比べて、約1V大きくなることも知られている。したがって、P型ポリシリコンを用いることにより、N型不純物をチャンネル部へ注入しても閾値電圧が負になってノーマリーオンの状態になることを抑制することができ、同じ閾値電圧でも、埋め込みチャンネル領域2に、より高濃度の不純物を注入できるのでチャネル移動度を増加することができる。

【0025】

図3にソース・ドレイン拡散層の接合深さ $X_j=0.5\mu\text{m}$ での、 $L_{bc} \div X_j$ 依存性を示す。図3の縦軸は、チャネル移動度を埋め込みチャンネル領域がない試料のチャネル移動度で規格化した場合を示している。この評価は L_{bc} が0.2以上で行い、0.2でも効果があることを確認した。よって、横軸の下限は0.2に制限される。一方、横軸が1より大きくなるとチャネル移動度は大きくなるが、閾値が負になりノーマリーオンになり実際に使うのは困難である。したがって、横軸 ($L_{bc} \div X_j$)

は、0.2～1.0に限定される。特に、0.4～1.0の範囲で有効である。

【 0 0 2 6 】

図4にP型ポリシリコンゲートの不純物濃度と閾値電圧の測定によって得られた関係を示す。P型ポリシリコンゲート電極中の不純物濃度が高いほど、ゲート電極と半導体の仕事関数差が大きくなるので、閾値が大きくなる。反対に、不純物濃度が小さいほど、閾値電圧は小さくなり、 $1 \times 10^{16} \text{cm}^{-3}$ でゼロになるので、不純物濃度の下限は $1 \times 10^{16} \text{cm}^{-3}$ である。多結晶シリコンに注入可能なボロンの濃度は、 $1 \times 10^{21} \text{cm}^{-3}$ なので、上限は、 $1 \times 10^{21} \text{cm}^{-3}$ になる。

【 0 0 2 7 】

図5に埋め込みチャネル領域2の不純物濃度とチャネル移動度（不純物濃度ゼロの時の値での規格値）の測定によって得られた関係を示す。評価した不純物濃度の下限値は $5 \times 10^{15} \text{cm}^{-3}$ であるが、この値で十分に効果がでているので下限値は $5 \times 10^{15} \text{cm}^{-3}$ になる。一方、 $1 \times 10^{18} \text{cm}^{-3}$ 以上で閾値電圧が負になり実際の使用が難しくなるので上限値は、 $1 \times 10^{18} \text{cm}^{-3}$ となる。

【 0 0 2 8 】

パンチスルーを抑制するために埋め込みチャネル領域2の直下に設けた P^+ 領域であるパンチスルー防止領域の不純物濃度が、 $1 \times 10^{17} \text{cm}^{-3}$ より低濃度ではパンチスルーを起こすゲート電圧は、 P^+ 領域がない場合と同じであり効果はない。 $1 \times 10^{17} \text{cm}^{-3}$ 以上でパンチスルーを起こすゲート電圧が増加するので、不純物濃度の下限は $1 \times 10^{17} \text{cm}^{-3}$ である。

【 0 0 2 9 】

一方、不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上では、活性化アニール時に不純物が拡散して、その上にある埋め込みチャネル領域中のN型不純物を相殺してしまい、埋め込みチャネル領域としての機能を果たさなくなるので、上限は、 $1 \times 10^{19} \text{cm}^{-3}$ に制限される。

【 0 0 3 0 】

また、ボロンが高濃度に注入された多結晶シリコンの抵抗値は、数 $\text{m} \Omega \text{cm}$ であるが、高融点金属のシリサイド、例えば MoSi_2 、 WSi_2 と TiSi_2 の比抵抗値は、各々、 $60 \mu \Omega \text{cm}$ 、 $50 \mu \Omega \text{cm}$ 、 $15 \mu \Omega \text{cm}$ なので不純物が注入された多結晶シリコンより

も多結晶シリコンとシリサイドの複合膜の方がゲート電極の抵抗値が下がるので細長いゲート電極の抵抗やこのゲート電極形成層による配線の低抵抗化を図ることができるので、この配線の抵抗による時定数を小さくでき、動作速度を向上することができる。

【 0 0 3 1 】

〔実施例 2〕

図 1 (a) の P 型炭化珪素基板 1 (不純物濃度: $5 \times 10^{15} \text{cm}^{-3}$) を通常の RCA 洗浄をした後に P 型炭化珪素基板 1 にフォトリソグラフィー用のアライメントマークを RIE (Reactive ion etching) で形成した。次いで、 500°C で $40 \text{keV} \sim 250 \text{keV}$ で総ドーズ量が $7 \times 10^{15} \text{cm}^{-2}$ の燐の多段イオン注入により接合深さ $L_{bc} = 0.3 \mu\text{m}$ の埋め込みチャネル領域 2 を形成した。次いで、図 1 (d) に示すようにイオン注入用のマスクとして LT0 で全面を覆い、フォトリソグラフィーでゲート電極部分のレジストを残してフッ酸で LT0 膜をエッチングした。次いで、ホットキャリア耐性に対する埋め込みチャネル領域 2 とソース 5 あるいはドレイン 6 の間の不純物濃度の効果を調べるために埋め込みチャネル領域 2 とソース 5 あるいはドレイン 6 の間の不純物濃度が $5 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{20} \text{cm}^{-3}$ になるように燐を 500°C でイオン注入し低不純物濃度領域 11 を形成した。次いで、ソース領域 5 あるいはドレイン領域 6 を形成するために全面を LT0 で全面を覆い、フォトリソグラフィーによりソース領域あるいはドレイン領域をフォトレジストで規定した後に、HF (フッ酸) で LT0 をエッチングして、イオン注入されるソース領域あるいはドレイン領域を開口した。次いで、 500°C で、燐の多段イオン注入により、不純物濃度が $5 \times 10^{19} \text{cm}^{-3}$ になるようにソース 5 あるいはドレイン 6 を形成した。その後、アルゴン雰囲気中で 1500°C で 30 分間にわたる活性化アニールを行った。次いで、 1200°C で 150 分間酸化して、図 1 (c) に示すように約 50nm のゲート絶縁膜 7 を形成した。次いで、アルゴン中で 30 分間アニールした後に、室温までアルゴン中で冷却した。また、P 型ゲート電極 8 は、CVD 法で多結晶ポリシリコンを形成した後に、その上にボロンを含んだ酸化物膜をスピン塗布により形成して後、 900°C で 30 分の熱処理を行い、ボロンを含んだ酸化物からポリシリコンへボロンを拡散することにより形成した。次いで、P 型多結晶シリコンとゲート絶縁膜をエッチング

することによりゲート電極を形成した。引き続いて、LT0を酸化膜全面に堆積した後に、ソース5あるいはドレイン6上の酸化膜6をエッチングしてコンタクト孔を開口した。次いで、その上にニッケル膜を電子ビーム蒸着法で形成した後に、ウエットエッチングにより金属配線10を形成した。次いで、良好なオーミックコンタクトを形成するために1000℃のアルゴン中で5分間の熱処理を行い、MIS電界効果型トランジスタを完成させた。

【0032】

ここで、ホットキャリア耐性は、MIS電界効果型トランジスタに、一定時間、以下に記述する電氣的なストレスを印加して、閾値電圧の変化量で評価した。閾値電圧の変動量が小さいほど、ホットキャリア耐性は良好である。ここで、閾値電圧は、ドレインに0.1Vを印加した状態で、0Vから30Vまでのゲート電圧について、ドレイン電流の2分の1乗のプロット電圧軸と交差する電圧として求めた。電氣的なストレスとしては、ドレインに5V、ゲートに2.5Vが5分間印加された。また、埋め込みチャネル領域とソース領域あるいはドレイン領域との間の不純物濃度が $5 \times 10^{16} \text{cm}^{-3} \sim 5 \times 10^{19} \text{cm}^{-3}$ になるように燐をイオン注入した。この部分の不純物濃度が低いと、ドレイン近傍での電界が小さくなり、この部分を通過する電子が高エネルギー状態になるのを抑制できるので、散乱されて基板からゲート絶縁膜へ注入される電子数は減少してホットキャリア耐性が向上する。しかし、この部分の不純物濃度が低すぎると、この部分の抵抗値が大きくなりトランジスタの駆動力が低下するので、下限は、 $5 \times 10^{16} \text{cm}^{-3}$ となる。一方、濃度が高過ぎると、ドレイン近傍での電界を緩和する効果がなく、十分なホットキャリア耐性が得られない。測定の結果、 $5 \times 10^{19} \text{cm}^{-3}$ 以上だと閾値電圧の変化量が、10%を超えることが分かった。これは、実際に使用されない値に相当する。したがって、上限は、 $5 \times 10^{19} \text{cm}^{-3}$ になる。

【0033】

[実施例3]

六方晶炭化珪素(0,0,0,1)面と(1,1,-2,0)面(不純物濃度： $5 \times 10^{15} \text{cm}^{-3}$)のそれぞれのP型炭化珪素基板1を通常のRCA洗浄をした後にP型炭化珪素基板1にフォトリソグラフィ用のアライメントマークをRIE(Reactive ion etching)

で形成した。次いで、注入エネルギー40keV～250keVで総ドーズ量が $7 \times 10^{15} \text{cm}^{-2}$ の隣の多段イオン注入により接合深さ $L_{bc} = 0.3 \mu\text{m}$ の埋め込みチャネル領域2を形成した。次いで、図1(b)に示すようにソース領域あるいはドレイン領域のイオン注入用マスク4を熱酸化膜やCVD (Chemical Vapor Deposition) による SiO_2 膜で形成する。本実施例では、図1(b)に示すようにイオン注入マスクとして、LT0 (Low temperature oxide) 膜を用いた。LT0膜は、シランと酸素を $400^\circ\text{C} \sim 800^\circ\text{C}$ で反応させて二酸化珪素をP型炭化珪素基板1上に堆積することにより形成した。次いで、フォトリソグラフィによりレジストでソース領域あるいはドレイン領域を規定した後に、HF (フッ酸) でLT0をエッチングしてイオン注入されるソース領域あるいはドレイン領域を開口した。次いで、 500°C で、隣の多段イオン注入により、不純物濃度が $5 \times 10^{19} \text{cm}^{-3}$ になるように図1(b)に示すソース5あるいはドレイン6を形成した。その後、アルゴン雰囲気中で 1500°C で30分間にわたる活性化アニールを行った。次いで、図1(c)に示すように 1200°C で150分間酸化して、約50nmのゲート絶縁膜7を形成した。次いで、アルゴン中で30分間アニールした後に室温までアルゴン中で冷却した。その後にP型ゲート電極8は、CVD法で多結晶ポリシリコンを形成した後に、その上にボロンを含んだ酸化膜をスピン塗布により形成した後、 900°C で30分の熱処理を行い、ボロンを含んだ酸化膜からポリシリコンへボロンを拡散することにより形成した。次いで、P型多結晶シリコンとゲート絶縁膜をエッチングすることによりゲート電極を形成した。引き続いて、ソース領域あるいはドレイン領域上の酸化膜をエッチングしてコンタクト孔を開口した。次いで、ニッケルを電子ビーム蒸着法で形成した後に、ウェットエッチングにより金属配線10を形成した。次いで、良好なオーミックコンタクトを形成するために 1000°C のアルゴン中で5分間の熱処理を行い、MIS電界効果型トランジスタを完成させた。

【0034】

このように(0,0,0,1)面上に作製されたMIS電界効果型トランジスタのチャネル移動度は、 $70 \text{cm}^2/\text{Vs}$ であるが、(1,1,-2,0)面に作製されたMIS電界効果型トランジスタのチャネル移動度は、 $100 \text{cm}^2/\text{Vs}$ であり、(1,1,-2,0)面にMIS電界効果型トランジスタを作製することにより、チャネル移動度が向上した。

【 0 0 3 5 】

【発明の効果】

この発明は上記した構成からなるので、以下に説明するような効果を奏することができる。

【 0 0 3 6 】

請求項 1 に記載の発明では、P型ゲート電極を用いることにより、ノーマリーオンにすることなく N^- 領域を比較的高濃度にすることが可能になり、チャネル移動度を向上することができた。

【 0 0 3 7 】

また、請求項 2 に記載の発明では、ソース・ドレイン領域の接合深さ X_j と埋めこみチャンネル形成用の接合深さ L_{bc} の比を最適化することによりチャネル移動度を向上することができた。

【 0 0 3 8 】

また、請求項 3 に記載の発明では、請求項 1 あるいは 2 に記載の発明において、P型多結晶シリコンの濃度を最適化することによりチャネル移動度を向上することができた。

【 0 0 3 9 】

また、請求項 4 に記載の発明では、請求項 1 あるいは 2 に記載の発明において、埋め込みチャンネル領域の濃度を最適化することによりチャネル移動度を向上することができた。

【 0 0 4 0 】

また、請求項 5 に記載の発明では、請求項 1 乃至請求項 4 に記載の半導体装置において、P型多結晶シリコンゲート電極の上に高融点金属のシリサイド膜を積層することによりゲート電極の抵抗値を下げて駆動力を向上することができた。

【 0 0 4 1 】

また、請求項 6 に記載の発明では、請求項 5 に記載の半導体装置において、タングステンあるいはモリブデンあるいはチタンのシリサイド膜を用いることにより半導体装置の動作速度を向上することができた。

【 0 0 4 2 】

また、請求項7および8に記載の発明では、請求項1乃至請求項6に記載の半導体装置において、埋め込みチャネル領域とソース領域あるいはドレイン領域の間に埋め込みチャネル領域の不純物濃度以上でソース領域あるいはドレイン領域の不純物濃度以下の不純物濃度の領域を設けることによりホットキャリア耐性を向上することができた。

【0043】

また、請求項9および10に記載の発明では、請求項1乃至請求項8に記載の半導体装置において、埋め込みチャネル領域直下にP型炭化珪素基板1の不純物濃度領域を設けることにより、あるいは、その濃度を最適化することによりパンチスルー耐性を向上することができた。

【0044】

請求項11に記載の発明では、請求項1乃至請求項8に記載の半導体装置が、六方晶あるいは菱面体晶炭化珪素単結晶の(1,1,-2,0)面の上に形成された構成とすることにより、チャネル移動度を向上することができた。

【0045】

以上の説明では炭化珪素の場合について取り扱ったが、半導体基板としては、ダイヤモンド、シリコン、窒化ガリウムなどの半導体でも上記と同様な効果があることは容易に理解できる。

【図面の簡単な説明】

【図1】

P型ゲート電極と埋め込みチャネル領域を有するMIS電界効果型トランジスタの作製手順を示す模式図である。

【図2】

ゲート電極がP型多結晶シリコン、N型多結晶シリコン、アルミニウムを用いたMIS電界効果型トランジスタのチャネル移動度と閾値電圧の関係を示す図で、 $L_{bc} = 0.3 \mu m$ 、 $X_j = 0.5 \mu m$ 、埋め込みチャネル領域の不純物濃度は $2 \times 10^{16} cm^{-3}$ 、P型多結晶シリコンの不純物濃度は $5 \times 10^{20} cm^{-3}$ である。

【図3】

不純物濃度 $5 \times 10^{20} cm^{-3}$ のP型多結晶シリコンのゲート電極において $L_{bc} = 0.3 \mu m$

、 $X_j=0.5\mu\text{m}$ 、埋め込みチャネル領域の不純物濃度が $2\times 10^{16}\text{cm}^{-3}$ の場合のチャネル移動度の $L_{bc}\div X_j$ 依存性を示す図である。

【図 4】

P型多結晶シリコンゲートの不純物濃度と閾値電圧の関係を示す図で、 $L_{bc}=0.3\mu\text{m}$ 、 $X_j=0.5\mu\text{m}$ で埋め込みチャネル領域の不純物濃度は $2\times 10^{16}\text{cm}^{-3}$ である。

【図 5】

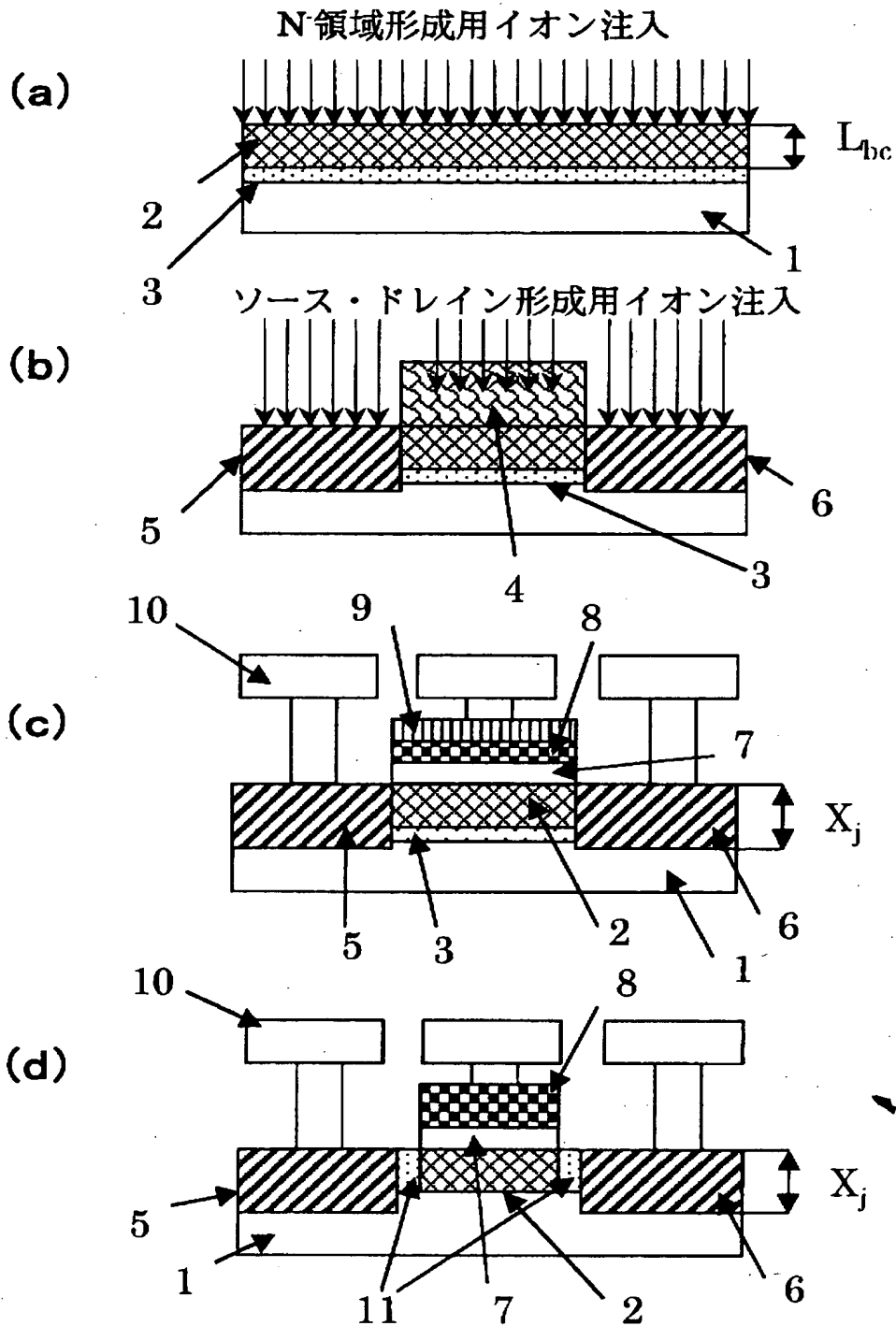
チャネル移動度と埋め込みチャネル領域の不純物濃度の関係を示す図で、 $L_{bc}=0.3\mu\text{m}$ 、 $X_j=0.5\mu\text{m}$ でP型多結晶シリコンの不純物濃度は $5\times 10^{20}\text{cm}^{-3}$ である。

【符号の説明】

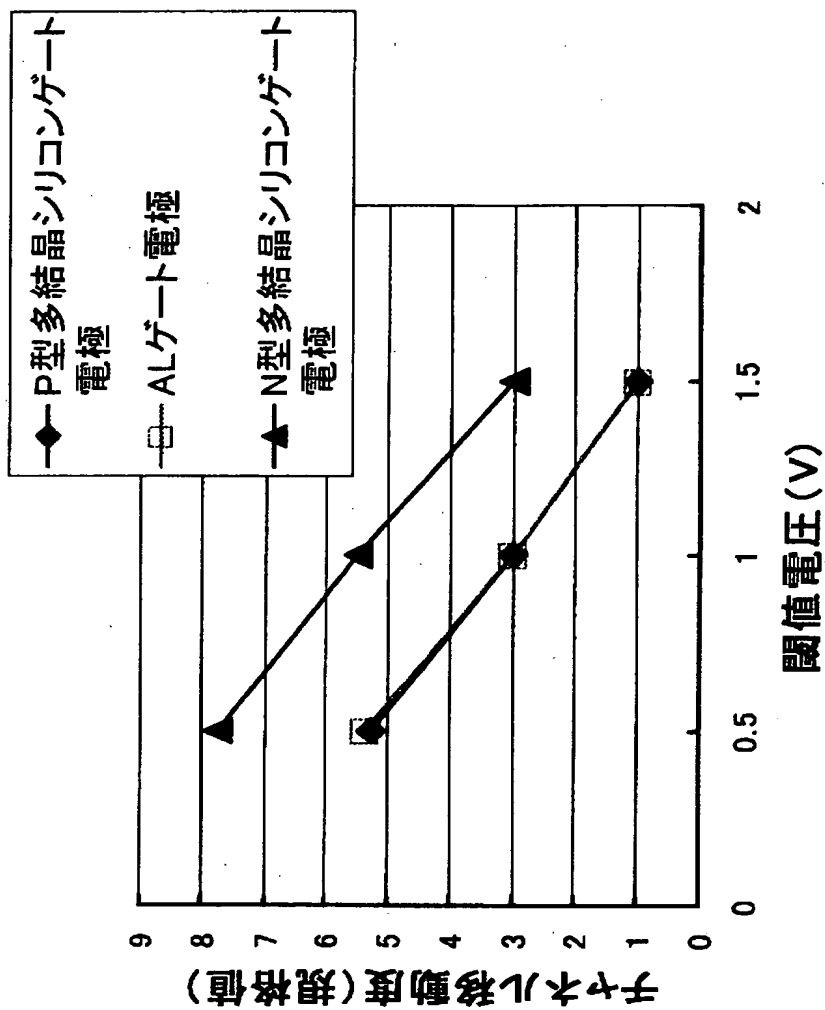
- 1 P型炭化珪素基板
- 2 埋め込みチャネル領域
- 3 パンチスルー防止領域
- 4 イオン注入用マスク
- 5 ソース
- 6 ドレイン
- 7 ゲート絶縁膜
- 8 P型ゲート電極
- 9 高融点金属シリサイド膜
- 10 金属配線

【書類名】 図面

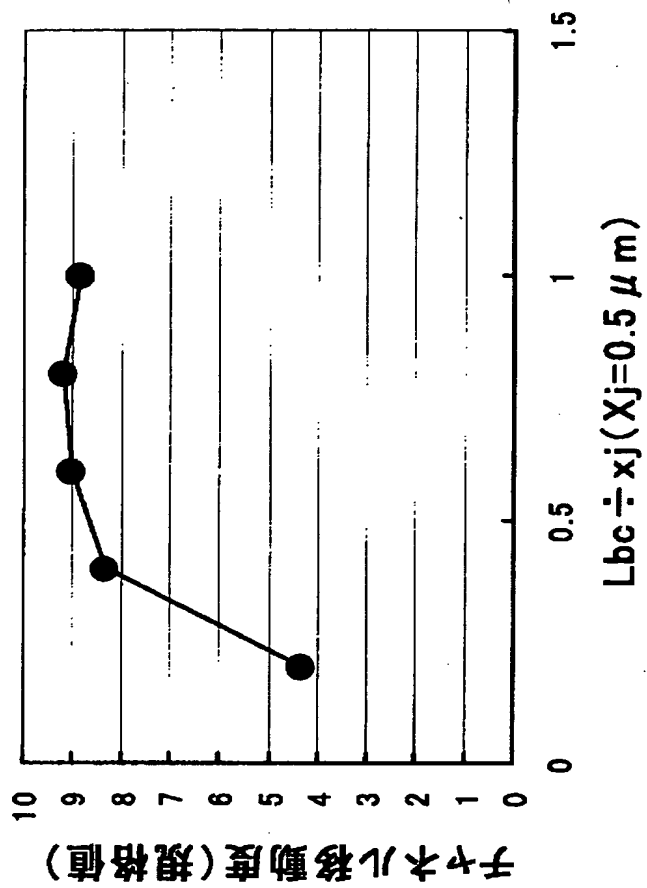
【図 1】



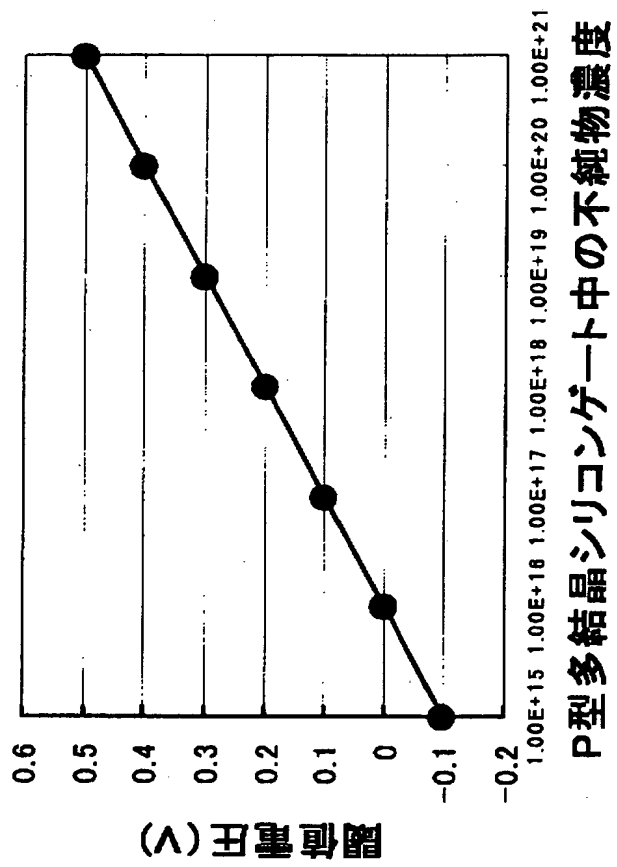
【図2】



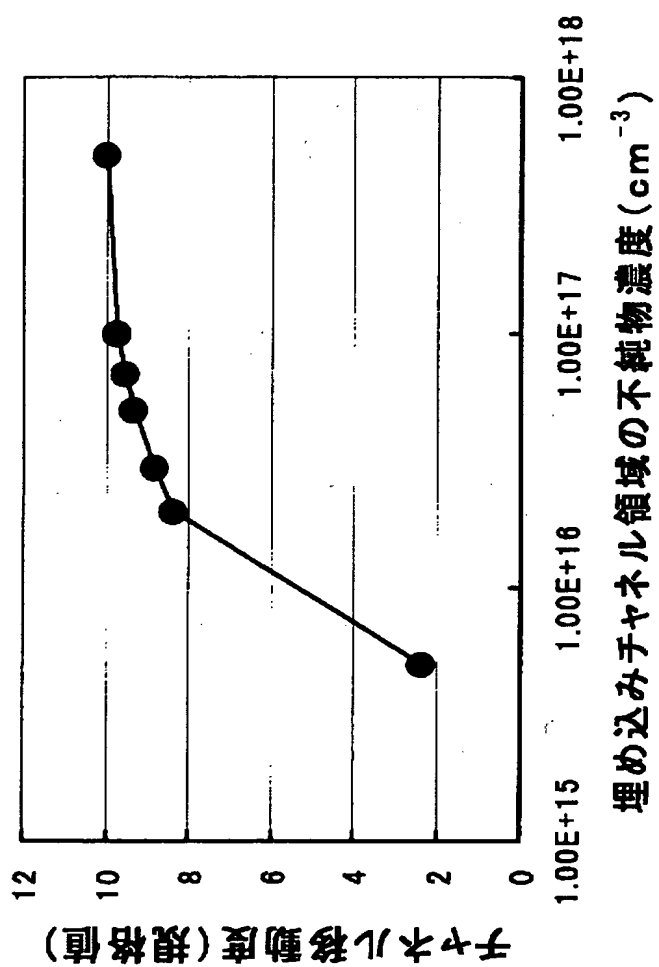
【図3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】炭化珪素基板を用いた半導体装置において、埋め込みチャネル型のM I Sトランジスタとし、その構造や炭化珪素基板の面方位を最適化することによりノーマリーオンにならず、しかも高いホットキャリア耐性や、高パンスルー耐性、あるいは、高チャネル移動度を有する埋め込みチャネル領域型のトランジスタである半導体装置を提供する。

【解決手段】P型の炭化珪素の半導体基板を用いたM I Sトランジスタで、埋め込みチャネル領域を形成する。その埋め込みチャネル領域の形成される深さを最適化して高い移動度が得られるようにするために、埋め込みチャネル領域の接合深さ (L_{bc}) と、ソースとドレイン領域の接合部の深さ (X_j) との比 ($L_{bc} \div X_j$) が0.2以上、1.0以下にする。また、トランジスタは六方晶あるいは菱面体晶炭化珪素の (1,1,-2,0) 面の上に形成する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2000-346455
受付番号	50001467430
書類名	特許願
担当官	仲村 百合子 1730
作成日	平成 13 年 1 月 19 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001144
【住所又は居所】	東京都千代田区霞が関 1 丁目 3 番 1 号
【氏名又は名称】	工業技術院長

【特許出願人】

【識別番号】	396020800
【住所又は居所】	埼玉県川口市本町 4 丁目 1 番 8 号
【氏名又は名称】	科学技術振興事業団

【指定代理人】

【識別番号】	220000356
【住所又は居所】	茨城県つくば市梅園 1 丁目 1 番 4
【氏名又は名称】	工業技術院電子技術総合研究所長

【代理人】

【識別番号】	100082669
【住所又は居所】	東京都港区西新橋 1-6-13 柏屋ビル
【氏名又は名称】	福田 賢三

【復代理人】

【識別番号】	100082669
【住所又は居所】	東京都港区西新橋 1-6-13 柏屋ビル
【氏名又は名称】	福田 賢三

【選任した代理人】

【識別番号】	100095337
【住所又は居所】	東京都港区西新橋 1-6-13 柏屋ビル 福田 特許事務所
【氏名又は名称】	福田 伸一

【選任した代理人】

【識別番号】	100061642
【住所又は居所】	東京都港区西新橋 1-6-13 柏屋ビル 4 階

次頁有

認定・付加情報（続き）

【氏名又は名称】	福田 武通
【選任した復代理人】	
【識別番号】	100095337
【住所又は居所】	東京都港区西新橋 1 - 6 - 1 3 柏屋ビル 福田 特許事務所
【氏名又は名称】	福田 伸一
【選任した復代理人】	
【識別番号】	100061642
【住所又は居所】	東京都港区西新橋 1 - 6 - 1 3 柏屋ビル 4 階
【氏名又は名称】	福田 武通

【書類名】 手続補正書

【提出日】 平成12年12月 6日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-346455

【補正をする者】

【識別番号】 000001144

【氏名又は名称】 工業技術院長 梶村 皓二

【補正をする者】

【識別番号】 396020800

【氏名又は名称】 科学技術振興事業団

【代理人】

【識別番号】 100082669

【弁理士】

【氏名又は名称】 福田 賢三

【代理関係の特記事項】 特許出願人 科学技術振興事業団の代理人

【復代理人】

【識別番号】 100082669

【弁理士】

【氏名又は名称】 福田 賢三

【代理関係の特記事項】 特許出願人 工業技術院長の復代理人

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 持分契約書、委任状

【補正方法】 追加

【補正の内容】

【提出物件の目録】

【物件名】 持分契約書 1

【物件名】 委任状 2

(A)10002310060



持 分 契 約 書

平成 12 年 11 月 14 日

事件の表示 平成 12 年 11 月 14 日付特許願
整理番号 10744450

上記発明の特許を受ける権利の持分を工業技術院長 90%、科学技術振興
事業団 10%と定めたことに相違ありません。

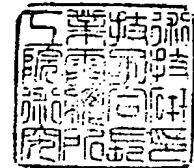
東京都千代田区霞が関 1 丁目 3 番 1 号

工業技術院長 梶村 皓二

指定代理人

茨城県つくば市梅園 1 丁目 1 番 4

工業技術院電子技術総合研究所長 児玉 皓雄

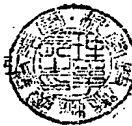


埼玉県川口市本町四丁目 1 番 8 号

科学技術振興事業団

理事長

川崎 雅弘



工業技術院職務発明等取扱規程・工業技術院共同研究規程等により
持分の決定は工業技術院長に代わり指定代理人である各研究所長が行
う旨規定している。

(A)10002310060



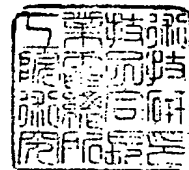
委 任 状

平成 12 年 11 月 14 日

工業技術院長の指定代理人

工業技術院電子技術総合研究所長

児玉 皓雄



私儀、識別番号	100061642	弁理士	福田	武通	氏
識別番号	100082669	弁理士	福田	賢三	氏
識別番号	100095337	弁理士	福田	伸一	氏

をもって復代理人と相定め下記事項を委任します。

1. 特許出願

「半導体装置」

に関する一切の件並びに本件に関する審査請求、優先審査及び早期審査に関する事情説明書の提出、刊行物の提出、証明の請求、放棄若しくは取下げ、分割出願、出願変更、出願人名義変更、拒絶査定不服及び補正却下の決定に対する審判の請求・取下げ、特許権の存続期間の延長登録の出願の取下げ並びに本件及びその審判物件の下附を受けること。

2. 上記出願に基づく特許法第41条第1項または実用新案法第8条第1項の優先権の主張並びにその取下げ。

【整理番号】



委任状

平成12年10月26日

私儀 識別番号100061642

弁理士 福田 武通 氏

識別番号100082669

弁理士 福田 賢三 氏

識別番号100095337

弁理士 福田 伸一 氏

を代理人として次の事項を委任します。

1、特許出願

特許出願に関する一切の件並びに本件に関する放棄若しくは取下げ、出願変更及び拒絶査定に対する審判の請求並びにその取下げ。

2、上記出願に基づく特許法第41条第1項及び実用新案法第8条第1項の優先権主張並びにその取下げ及び優先権主張に伴う後の出願に関する一切の件。

3、上記出願の分割出願に関する上記事項一切。

4、上記出願に関する審査請求、優先審査に関する事情説明書の提出、刊行物の提出、証明の請求及び上記出願又は審判請求に関する物件の下附を受ける事項。

5、第1項に関する通常実施権許諾の裁定請求、裁定取消請求並びにそれ等に対する答弁、取下げその他本件に関する提出書類及び物件の下附を受ける事項。

6、上記出願に係る特許権に関する一切の手続。ただし、特許権の維持に係る年金納付に関する手続を除く。

7、上記各項に関し行政不服審査法に基づく諸手続に関する事項。

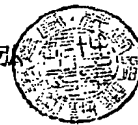
8、上記事項を処理するため、復代理人を選任及び解任する事項。

識別番号 396020800

埼玉県川口市本町4丁目1番8号

科学技術振興事業団

理事長 川崎 雅弘



認定・付加情報

特許出願の番号	特願2000-346455
受付番号	10002310060
書類名	手続補正書
担当官	仲村 百合子 1730
作成日	平成13年 1月19日

<認定情報・付加情報>

【補正をする者】

【識別番号】	000001144
【住所又は居所】	東京都千代田区霞が関1丁目3番1号
【氏名又は名称】	工業技術院長

【補正をする者】

【識別番号】	396020800
【住所又は居所】	埼玉県川口市本町4丁目1番8号
【氏名又は名称】	科学技術振興事業団

【代理人】

申請人	
【識別番号】	100082669
【住所又は居所】	東京都港区西新橋1-6-13 柏屋ビル
【氏名又は名称】	福田 賢三

【復代理人】

申請人	
【識別番号】	100082669
【住所又は居所】	東京都港区西新橋1-6-13 柏屋ビル
【氏名又は名称】	福田 賢三

【提出された物件の記事】

【提出物件名】	委任状（代理権を証明する書面）	1
	持分契約書	1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-346455

【承継人】

【識別番号】 301000011

【住所又は居所】 東京都千代田区霞が関 1 - 3 - 1

【氏名又は名称】 経済産業省産業技術総合研究所長 日下 一正

【連絡先】 部署名 経済産業省産業技術総合研究所
筑波研究支援総合事務所特許管理課
担当者 楠本 眞 電話番号 0 2 9 8 - 6
1 - 2 1 7 9

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成 3 年特許願第 2 8 5 6 1 号

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2000-346455
受付番号	50100038985
書類名	出願人名義変更届 (一般承継)
担当官	仲村 百合子 1730
作成日	平成13年 2月 9日

<認定情報・付加情報>

【提出日】	平成13年 1月15日
【承継人】	申請人
【識別番号】	301000011
【住所又は居所】	東京都千代田区霞が関1丁目3番1号
【氏名又は名称】	経済産業省産業技術総合研究所長

出 願 人 履 歴 情 報

識別番号 [000001144]

1. 変更年月日	1990年 9月20日
[変更理由]	新規登録
住 所	東京都千代田区霞が関1丁目3番1号
氏 名	工業技術院長

出 願 人 履 歴 情 報

識別番号 [396020800]

1. 変更年月日	1998年 2月24日
[変更理由]	名称変更
住 所	埼玉県川口市本町4丁目1番8号
氏 名	科学技術振興事業団

出 願 人 履 歴 情 報

識別番号 [301000011]

1. 変更年月日	2001年 1月 4日
[変更理由]	新規登録
住 所	東京都千代田区霞が関1丁目3番1号
氏 名	経済産業省産業技術総合研究所長